

Patent Laid-open Gazette

(51) IPC Code: G11C 11/4091

(11) Publication No.: P2002-0078802

(21) Application No.: 2001-0018952

(43) Publication Date: 19 October 2002

(22) Application Date: 10 April 2001

(71) Applicant:

Hynix Semiconductor Inc.

136-1 San, Ami-ri, Bubal-eup, Ichon-city, Kyunggi-do, Korea

(72) Inventor:

CHO, KWANG RAE

NAM, YOUNG JUN

LEE, BYUNG JAE

LEE, SANG KWON

BYUN, HEE JIN

KIM, JUN HO

(54) Title of the Invention:

Bitline precharge voltage generation apparatus

Abstract:

The present invention relates to a bitline precharge voltage generation apparatus that stabilizes the level of a bitline precharge voltage. The bitline precharge voltage generation apparatus includes a first switch and a second switch that are connected in series between an internal voltage and a ground voltage, a driving unit that outputs a bitline precharge voltage having a constant level in response to first and second control signals applied to the first and second switches, respectively, a first bias unit that adjusts the potential of the first control signal to be lower than the potential of the internal voltage and adjusts the potential of the second control signal to be higher than the potential of the ground voltage, and a second bias unit that increases the potential of the first control signal to the potential of the internal voltage in response to a precharge driving enable signal enabled in a precharge operation and reduces the potential of the second control signal to the potential of the ground voltage in response to the precharge driving enable signal.

특 2002-0078802

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.
G11C 11/4091(11) 공개번호 특 2002-0078802
(43) 공개일자 2002년 10월 19일

(21) 출원번호	10-2001-0018952
(22) 출원일자	2001년 04월 10일
(71) 출원인	주식회사 하이닉스반도체 경기 미천시 부발읍 아미리 산136-1
(72) 발명자	조광래 경기도 안양시 동안구 범계동 목련아파트 908-1202 남영준 서울특별시 강남구 논현동 184-14 이병재 경기도 이천시 고담동 산 11번지 고담기숙사 102동 606호 이상권 서울특별시 노원구 증계본동 4B 산동아아파트 116-403 변희진 서울특별시 강남구 개포동 189주공아파트 418-302 김준호 경기도 이천시 대월면 사동리 444-1 사원아파트 102동 101호 강용복, 김용인
(74) 대리인	강용복, 김용인

실사점구 : 있음

(54) 비트 라인 프리차지 전압 발생 장치

요약

본 발명은 비트 라인 프리차지 전압 레벨을 안정화시키기 위한 비트 라인 프리차지 전압 발생 장치에 관한 것으로, 내부 전압단과 접지단 사이에 직렬 연결되는 제 1 스위치 및 제 2 스위치로 구성되며 상기 제 1, 제 2 스위치에 각각 인가되는 제 1 제어 신호 및 제 2 제어 신호에 따라서 일정한 레벨의 비트 라인 프리차지 전압을 출력하는 구동부와, 상기 제 1 제어 신호가 상기 내부 전압단의 전위보다 소정치 낮은 레벨의 전위를 갖고, 상기 제 2 제어 신호가 접지 전위보다 소정치 높은 레벨의 전위를 갖도록 조절하는 제 1 바이어스부와, 프리차지 동작시에 인에이블되는 프리차지 구동 인에이블 신호에 따라서 상기 제 1 제어 신호를 내부 전압단의 전위 레벨로 상승시키고 상기 제 2 제어 신호를 접지 전위 레벨로 하강시키는 제 2 바이어스부로 구성된다.

도표도

도 4

세부이

비트 라인 프리차지 전압(Bit-Line Precharge Voltage)

명세서

도면의 간접한 설명

도 1은 디램 셀의 동작과 관련된 회로의 개략도

도 2는 듀얼 파워를 사용하는 센스 앰프 구동장치의 회로도

도 3은 증래 기술에 따른 비트 라인 프리차지 전압 발생 장치의 회로도

도 4는 본 발명의 실시예에 따른 비트 라인 프리차지 전압 발생 장치의 회로도

도 5는 비트 라인 프리차지 전압 발생 장치의 프리차지 구동 인에이블 신호를 발생하는 회로도

도 6a 내지 도 6b는 도 5의 동작 타이밍도

도면의 주요 부분에 대한 부호 설명

41 : 제 1 바이어스부

42 : 제 2 바이어스부

43 : 구동부

증명의 상세한 설명

증명의 목적

증명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 회로에 관한 것으로 특히, 비트 라인 프리차지 전압 레벨을 안정화시키기 위한 비트 라인 프리차지 전압 발생장치에 관한 것이다.

통상, 디램에서는 전력 소모를 최소화하기 위하여 비트 라인을 반전압(Vext/2) 상태로 프리차지(Precharge)시키는 방식이 많이 이용되고 있다.

도 1은 디램의 동작을 설명하기 위해 디램 셀의 동작과 관련된 회로를 개략적으로 도시한 것으로, 엔모스(NMOS)형 트랜지스터와 캐퍼시터로 구성된 복수개의 디램 셀(cell)들로 구성되는 셀 어레이(11)와, 디램 셀(cell)의 데이터가 전달되는 비트 라인(BL, /BL)을 스캔바이 동작시켜 비트 라인 프리차지 전압(vbip)으로 유지시키기 위한 프리차지 회로(12)와, 상기 비트 라인 프리차지 전압을 출력하는 비트 라인 프리차지 전압 발생회로(13)와, 로우 어드레스(RW, /RW)를 이용하여 디램 셀(11)에 접속된 특정 워드라인(WL)을 일에이블시키는 로우 디코더(14)와, 비트 라인(BL, /BL)으로 전달되는 셀의 데이터를 감지 증폭하는 비트 라인 센스 앤프(15)가 도시되어 있다.

상기한 디램 회로에 사용되는 비트 라인 센스 앤프 구동 회로는 도 2에 도시된 바와 같이, 비트 라인 센스 앤프의 인에이블을 제어하는 제 1 센싱 제어신호(rto)를 풀-업(Pull-up)구동하는 풀-업 드라이버(21)와, 상기 비트 라인 센스 앤프의 인에이블을 제어하는 제 2 센싱 제어신호(/s)를 풀-다운(Pull-down)구동하는 풀-다운 드라이버(22)와, 상기 풀-업 및 풀-다운 드라이버(21, 22)의 사이에 접속되어 상기 제 1, 제 2 센싱 제어 신호(rto, /s)의 프리차지 및 전위등화를 각각 수행하는 프리차지수단(23) 및 등화수단(24)으로 구성된다.

여기서, 상기 풀-업 드라이버(21)는 tRCD(CAS to RAS delay)와 tCAS를 빼르게 하기 위하여 외부전원전압(Vext)과 내부 전원전압(Vdd_core)의 듀얼 파워(Dual Power)를 사용한다.

최근, 셀의 신뢰성 문제 및 저전력(Low Power)을 위하여 셀의 전압을 낮추고 있는 추세이다. 이에 따라 셀 전압인 내부 전원전압(Vdd_core)이 외부 전원전압(Vext)에서 오는 역류현상이 심화됨에 따라서 내부 전원전압(Vdd_core)이 증가하게 된다.

이하, 첨부된 도면을 참조하여 종래 기술에 따른 비트 라인 프리차지 전압 발생장치를 설명하면 다음과 같다.

도 3은 종래 기술에 따른 비트 라인 프리차지 전압 발생장치의 구성을 나타낸 도면이다.

종래 기술에 따른 비트 라인 프리차지 전압 발생장치는 도 3에 도시된 바와 같이, 바이어스부(31)와, 구동부(32)로 구성된 전압 분배기 구조로 일정한 전위의 비트 라인 프리차지 전압(vbip)을 출력하도록 구성된다.

상기 바이어스부(31)는 한쪽 전극이 내부 전원전압(Vdd_core) 및 접지전압(GND)에 각각 연결되는 제 1 저항(R11) 및 제 2 저항(R12)과, 상기 제 1 저항(R11)의 다른쪽 전극인 노드 A에 게이트 전극 및 한쪽 전극이 연결되는 제 1 엔모스(MN11)와, 상기 제 2 저항(R12)의 다른쪽 전극인 노드 B에 게이트 전극 및 한쪽 전극이 연결되며 다른쪽 전극은 상기 제 1 엔모스(MN11)의 다른쪽 전극에 연결되는 제 1 피모스(MP11)와, 게이트 전극이 상기 제 1 엔모스(MN11) 및 제 1 피모스(MP11)의 다른쪽 전극에 연결되며 양쪽 전극이 외부 전원전압(Vext)에 연결되는 제 2 피모스(MP12)로 구성된다.

그리고, 상기 구동부(32)는 게이트 전극이 상기 노드 A에 연결되고 한쪽 전극에 상기 내부 전원전압(Vdd_core)이 인가되는 제 2 엔모스(MN12)와, 게이트 전극이 상기 노드 B에 연결되고 양쪽 전극이 외부 전원전압(Vext)에 연결되는 제 3 피모스(MP13)와, 게이트 전극이 상기 노드 B에 연결되고 양쪽 전극이 외부 전원전압(Vext)에 연결되는 제 4 피모스(MP14)와, 게이트 전극이 상기 노드 B에 연결되고 상기 제 2 엔모스(MN12)의 다른쪽 전극과 접지단(GND)사이에 연결되는 제 5 피모스(MP15)로 구성되며, 상기 비트 라인 프리차지 전압(vbip)은 상기 제 2 엔모스(MN12)와 제 5 피모스(MP15)가 연결된 단자로부터 출력된다.

상기한 비트 라인 프리차지 전압 발생장치에서는 제 5 피모스(MP15)를 이용하여 센스 앤프 구동 신호에 의한 비트 라인 프리차지 전압(vbip)의 상승을 잡아주도록 되어 있다.

따라서, 상기 제 5 피모스(MP5)의 게이트 소오스간 전압(Vgs)이 문턱전압(Vth) 이상이 되어야 상기 제 5 피모스(MP5)의 전류 구동 능력이 향상된다. 즉, 상기 노드 B의 전압이 0.3V보다는 0V일 때 보다 효과적으로 상기 비트 라인 프리차지 전압(vbip)의 상승을 강력하게 막을 수 있다.

그러나, 대기 전류(Stand-by Current)로 인하여 상기 노드 A의 전압은 내부 전원전압(Vdd_core)까지 올리지 못하고 약 Vdd_core-0.3으로, 상기 노드 B의 전압은 0V가 아닌 0.3V가 되도록 제어하고 있다.

증명이 이루고자 하는 기술적 목표

그러나, 상기와 같은 종래의 비트 라인 프리차지 전압 발생장치는 다음과 같은 문제점이 있다.

센스 앰프 회로에서 tRCD 및 tCAS를 빠르게 하기 위하여 듀얼 파워 구조를 채택함에 따라서 내부 전원전압(Vdd_core)이 외부 전원전압(Vext)으로부터 오는 역류 현상이 심화되게 된다.

클램프(Clamp) 회로로 내부 전원전압(Vdd_core) 단자를 통해 높은 제 1 센싱 제어신호(rto)의 레벨을 빼더라도 내부 전원전압(Vdd_core)과 제 1 센싱 제어신호(rto)의 전압차이가 줄어들면서 전류가 많이 감소되므로 제 1 센싱 제어신호(rto) 노드가 tRAS 시간내에 완전히 내부 전원전압(Vdd_core)이 되지 않는다.

이 전위는 결국 비트 라인, 비트바 라인의 전위를 의미하므로 프리차지시에 비트 라인 프리차지 전압이 상승되어 회로 동작이 불안정해지는 문제점이 있다.

본 발명은 상기와 같은 문제점을 해결하기 위하여 만출한 것으로 비트 라인 프리차지 전압의 상승을 방지하여 회로 동작의 안정성을 향상시키기 위한 비트 라인 프리차지 전압 발생장치를 제공하는데 그 목적이 있다.

설명의 구성 및 주동

상기와 같은 목적을 달성하기 위한 본 발명에 따른 비트 라인 프리차지 전압 발생장치는 내부 전압단과 접지단사이에 직렬 연결되는 제 1 스위치 및 제 2 스위치로 구성되며 상기 제 1, 제 2 스위치에 각각 인가되는 제 1 제어 신호 및 제 2 제어 신호에 따라서 일정한 레벨의 비트 라인 프리차지 전압을 출력하는 구동부와, 상기 제 1 제어 신호가 상기 내부 전압단의 전위보다 소정치 낮은 레벨의 전위를 갖고, 상기 제 2 제어 신호가 접지 전위보다 소정치 높은 레벨의 전위를 갖도록 조절하는 제 1 바이어스부와, 프리차지 동작시에 인에이블되는 프리차지 구동 인에이블 신호에 따라서 상기 제 1 제어 신호를 내부 전압단의 전위 레벨로 상승시키고 상기 제 2 제어 신호를 접지 전위 레벨로 하강시키는 제 2 바이어스부로 구성됨을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명에 따른 비트 라인 프리차지 전압 발생장치를 설명하면 다음과 같다.

도 4는 본 발명의 실시예에 따른 비트 라인 프리차지 전압 발생 장치의 회로도이고, 도 5는 비트 라인 프리차지 전압 발생 장치의 인에이블 신호를 발생하는 회로도이고, 도 6a 내지 도 6b는 도 5의 동작 타이밍도이다.

본 발명의 실시예에 따른 비트 라인 프리차지 전압 발생 장치는 도 4에 도시된 바와 같이, 제 1, 제 2 바이어스부(41, 42)와, 구동부(43)로 구성된다.

상기 제 1 바이어스부(41)는 프리차지 구동 인에이블 신호(pcg_en)를 반전하는 인버터(INV21)와, 게이트 전극이 인가되는 상기 인버터(INV21)의 출력 신호에 따라서 내부 전원전압(Vdd_core)을 노드 C에 선택적으로 출력하는 제 1 피모스(MP21)와, 상기 프리차지 구동 인에이블 신호(pcg_en)에 따라서 접지 전압을 노드D에 선택적으로 출력하는 제 1 엔모스(MN21)로 구성된다.

여기서, 상기 프리차지 구동 인에이블 신호(pcg_en)는 하나의 뱅크(Bank)에 해당되는 신호이며, 멀티 뱅크(Multi-bank)의 경우에는 상기 프리차지 구동 인에이블 신호(pcg_en)와 뱅크 어드레스(Bank Address)를 코딩하여 상기 프리차지 구동 인에이블 신호(pcg_en)와 같이 사용한다.

그리고, 상기 제 2 바이어스부(42)는 한쪽 전극이 내부 전원전압(Vdd_core) 및 접지전압(GND)에 각각 연결되는 제 1 저항(R21) 및 제 2 저항(R22)과, 상기 제 1 저항(R21)의 다른쪽 전극인 노드 D에 게이트 전극 및 한쪽 전극이 연결되는 제 2 엔모스(MN22)와, 상기 제 2 저항(R22)의 다른쪽 전극인 노드 D에 게이트 전극 및 한쪽 전극이 연결되며 다른쪽 전극은 상기 제 2 엔모스(MN22)의 다른쪽 전극에 연결되는 제 2 피모스(MP22)와, 게이트 전극이 상기 제 2 엔모스(MN22) 및 제 2 피모스(MP22)의 다른쪽 전극에 연결되며 양쪽 전극이 외부 전원전압(Vext)에 연결되는 제 3 피모스(MP23)로 구성된다.

그리고, 상기 구동부(43)는 게이트 전극이 상기 노드 D에 연결되고 한쪽 전극에 상기 내부 전원전압(Vdd_core)이 인가되는 제 3 엔모스(MN23)와, 게이트 전극이 상기 노드 D에 연결되고 양쪽 전극이 외부 전원전압(Vext)에 연결되는 제 4 피모스(MP24)와, 게이트 전극이 상기 노드 D에 연결되고 양쪽 전극이 외부 전원전압(Vext)에 연결되는 제 5 피모스(MP25)와, 게이트 전극이 상기 노드 D에 연결되고 상기 제 3 엔모스(MN23)의 다른쪽 전극과 접지단(GND)사이에 연결되는 제 6 피모스(MP26)로 구성되며, 비트 라인 프리차지 전압(vb1p)은 상기 제 3 엔모스(MN23)와 제 6 피모스(MP26)가 연결된 단자로부터 출력된다.

그리고, 상기 프리차지 구동 인에이블 신호(pcg_en)를 발생하는 회로는 도 5에 도시된 바와 같이, 프리차지 코멘드(pcgpx)를 받아서 프리차지 구동 인에이블 신호(pcg_en)가 하이(H)가 되면 이 신호를 소정의 지연 시간을 갖고 반전시키어 출력하는 스퀴 로직(skew logic)(51)과, 상기 스퀴 로직(51)의 출력 신호를 반전하는 제 1 인버터(INV51)와, 상기 제 1 인버터(INV51)의 출력 신호와 구동 초기화 신호(pwrz)를 논리곱하고 반전하는 제 1 논드 게이트(NAND1)와, 상기 프리차지 코멘드(pcgpx)와 구동 초기화 신호(pwrz)를 논리곱하고 반전하는 제 2 논드 게이트(NAND2)를 포함한다.

여기서, 상기 구동 초기화 신호(pwrz)는 초기 전원을 스타트(start)할 경우 내부 회로를 초기화시켜 주기 위해 사용되는 신호로, 외부 전원 전압(Vext)이 1.5V 미하에서는 로우(LOW), 1.5V 이상에서는 하이(H)의 값을 갖는다.

그리고, 상기 제 1, 제 2 논드 게이트(NAND1, NAND2)의 출력 신호를 각각 반전하는 제 2, 제 3 인버터(INV52, INV53)와, 게이트 전극에 상기 프리차지 구동 앤드 신호(pcg_end)가 인가되고 한쪽 전극이 외부 전원전압(Vext)에 연결되는 제 7 피모스(MP31)와, 상기 제 7 피모스(MP31)의 다른쪽 전극과 접지단(GND) 사이에 직렬 연결되며 게이트 전극에는 상기 제 3 인버터(INV53)와 제 2 인버터(INV52)의 출력 신호가 각각 인가되는 제 8 피모스(MP32) 및 제 4 피모스(MN31)와, 제 4, 제 5 인버터(INV54, INV55)로 구성되며 상기 제 8 피모스(MP32)와 제 4 엔모스(MN31)가 연결된 단자의 신호를 래치(Latch)하는 래치 회로와, 상기 래치 회로의 출력 신호를 반전하여 상기 스퀴 로직(51)의 입력인 프리차지 구동 인에이블

신호(pcg_en)로 피드백하는 제 6 인버터(INV56)로 구성된다.

여기서, 상기 제 7 피모스(MP31)는 프리차지 코멘드(pcgpx)에 의해 프리차지 구동 앤드 신호(pcg_end)가 하이(H)가 될 때, 프리차지 코멘드(pcgpx)가 입력되면서 발생되는 다이렉트 전류(Direct Current)를 막기 위하여 첨가된다.

그리고, 상기 스위치(51)은 상기 프리차지 구동 인에이블 신호(pcg_en)를 소정 시간 지연시키는 제 6 내지 제 9 인버터(INV57 내지 INV60)와, 상기 제 9 인버터(INV60)의 출력 신호와 상기 프리차지 구동 인에이블 신호(pcg_en)를 논리곱하여 반전하는 제 3 논드 게이트(NAND3)와, 상기 제 3 논드 게이트(NAND3)의 출력 신호를 소정의 지연시간을 가지고 반전하는 제 10 내지 제 12 인버터(INV61 내지 INV63)와, 상기 제 12 인버터(INV63)의 출력 신호와 상기 프리차지 구동 인에이블 신호(pcg_en)를 논리곱하고 반전하는 제 4 논드 게이트(NAND4)를 포함한다.

여기서, 상기 제 6, 제 8, 제 11 인버터(INV57, INV59, INV62)에는 그 출력단에 각 게이트 전극이 연결되고 양쪽 전극이 접지단(GND)에 연결되는 제 5 내지 제 7 엔모스(MN32 내지 MN34)가 연결되고, 상기 제 7, 제 9, 제 10 인버터(INV58, INV60, INV61)에는 그 출력단에 각각 게이트 전극이 연결되고 양쪽 전극이 외부 전원 전압단(Vext)에 연결되는 제 10 내지 제 12 피모스(MP33 내지 MP35)가 연결된다.

이때, 출력단에 엔모스가 연결되는 인버터의 경우에는 인버터의 엔모스의 길이(Length)만 크게 되도록 하고 출력단에 피모스가 연결되는 인버터의 경우에는 인버터의 피모스 길이(Length)만 크게 되도록 조절한다.

도 6a 내지 도 6b를 참조하여 상기한 본 발명에 따른 비트 라인 프리차지 전압 발생장치의 동작을 살펴보면, 프리차지 코멘드(pcgpx)를 받아서 프리차지 구동 인에이블 신호(pcg_en)가 하이(H)가 되면 스위치(51)에서 많은 딜레이 타임을 갖고 프리차지 구동 앤드 신호(pcg_end)가 하이(H)로 출력된다.

그리고, 프리차지 구동 앤드 신호(pcg_end)가 하이(H)가 되면 프리차지 구동 인에이블 신호(pcg_en)는 얼마 후 로우(L)로 가게되고 프리차지 구동 앤드 신호(pcg_end)도 곧 로우(L)로 가게된다.

따라서, 프리차지되는 경우에 상기 프리차지 구동 인에이블 신호(pcg_en)가 하이(H)를 유지하여 도 4의 비트 라인 프리차지 전압 발생 장치의 노드 0과 노드 1 전압을 각각 Vdd_core와 0V가 되게 하여 상기 제 6 피모스(MP6)의 전류 구동 능력이 향상되므로 세스 앰프 구동 회로의 듀얼 파워 구조로 인한 비트 라인 프리차지 전압(vbip)의 상승을 방지할 수 있게 된다.

발명의 효과

상기와 같은 본 발명의 비트 라인 프리차지 전압 발생장치는 다음과 같은 효과가 있다.

첫째, 비트 라인 프리차지 전압의 상승을 방지하여 그 안정성을 향상시킬 수 있으므로 비트 라인 프리차지 전압에 의한 리프레쉬 동작의 특성을 향상시킬 수 있다.

둘째, 듀얼 파워에 의한 비트 라인 프리차지 전압의 안정성 저하 문제를 개선할 수 있으므로 tRCD 및 tRAS 값을 보다 향상시킬 수 있다.

(57) 첨구의 범위

첨구항 1. 내부 전압단과 접지단사이에 직렬 연결되는 제 1 스위치 및 제 2 스위치로 구성되며 상기 제 1, 제 2 스위치에 각각 인가되는 제 1 제어 신호 및 제 2 제어 신호에 따라서 일정한 레벨의 비트 라인 프리차지 전압을 출력하는 구동부와;

상기 제 1 제어 신호가 상기 내부 전압단의 전위보다 소정치 낮은 레벨의 전위를 갖고, 상기 제 2 제어 신호가 접지 전위보다 소정치 높은 레벨의 전위를 갖고 조절하는 제 1 바이어스부와;

프리차지 동작시에 인에이블되는 프리차지 구동 인에이블 신호에 따라서 상기 제 1 제어 신호를 내부 전압단의 전위 레벨로 상승시키고 상기 제 2 제어 신호를 접지 전위 레벨로 하강시키는 제 2 바이어스부로 구성됨을 특징으로 하는 비트 라인 프리차지 전압 발생장치.

첨구항 2. 제 1 항에 있어서, 상기 제 2 바이어스부는 상기 프리차지 구동 인에이블 신호를 반전하는 인버터와;

상기 인버터의 출력 신호에 따라서 상기 제 1 제어 신호를 내부 전압 레벨로 상승시키는 제 1 도전형 트랜지스터와;

상기 프리차지 구동 인에이블 신호에 따라서 상기 제 2 제어 신호를 접지 레벨로 하강시키는 제 2 도전형 트랜지스터로 구성됨을 특징으로 하는 비트 라인 프리차지 전압 발생장치.

첨구항 3. 제 1항에 있어서, 상기 프리차지 구동 인에이블 신호를 소정 시간 지연시키는 지연부와;

상기 지연부의 출력 신호와 상기 프리차지 구동 인에이블 신호를 논리 조합하는 제 1 논리 회로부와;

상기 제 1 논리 회로부의 출력 신호를 소정의 지연시간을 갖고 반전하는 반전 회로부와;

상기 반전 회로부의 출력 신호와 상기 프리차지 구동 인에이블 신호를 논리 조합하는 제 2 논리 회로부와;

상기 제 2 논리 회로부의 출력 신호와 전원 인가시 내부 회로를 초기화시켜주기 위한 초기화 신호를 논리 조합하여 프리차지 구동 디스에이블 신호를 출력하는 제 3 논리 회로부와;

상기 초기화 신호와 비트 라인 프리차지 인에이블 신호인 프리차지 코멘드를 논리 조합하는 제 4 논리 회로부와;

한쪽에 외부 전압이 인가되고 프리차지 동작시 직접 입력되는 전류를 막기 위하여 상기 프리차지 구동 디스에이블 신호에 따라서 선택적으로 스위칭되는 제 1 스위치부와;

한쪽이 상기 제 1 스위치부의 다른쪽에 연결되며 상기 제 3 논리 회로부의 출력 신호에 따라서 선택적으로 스위칭되는 제 3 스위치부와;

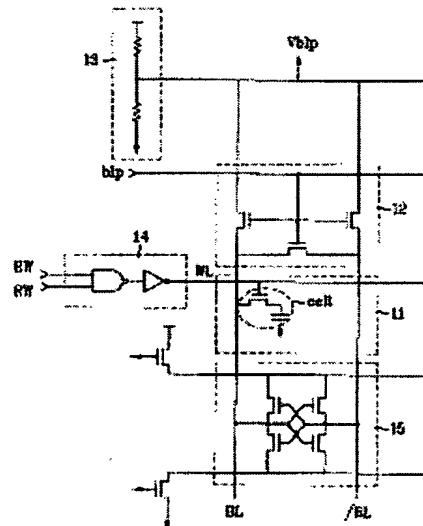
상기 제 3 스위치부의 다른쪽과 접지단 사이에 연결되며 상기 제 4 논리 회로부의 출력 신호에 따라서 선택적으로 스위칭되는 제 4 스위치부와;

상기 제 3 스위치부와 제 4 스위치부가 연결된 단자의 신호를 레치하는 레치 회로부와;

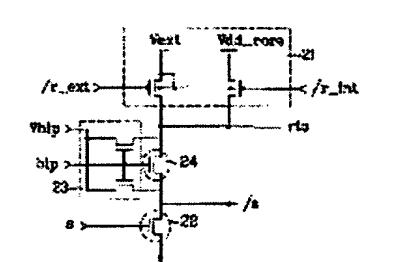
상기 레치 회로부의 출력 신호를 반전하여 상기 프리차지 구동 인에이블 신호를 출력하는 제 5 논리 회로부로 구성됨을 특징으로 하는 비트 라인 프리차지 구동 전압 발생장치.

도면

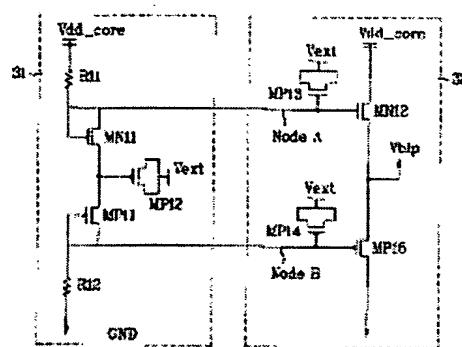
도면1



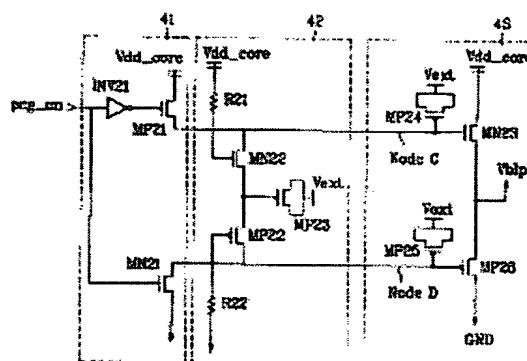
도면2



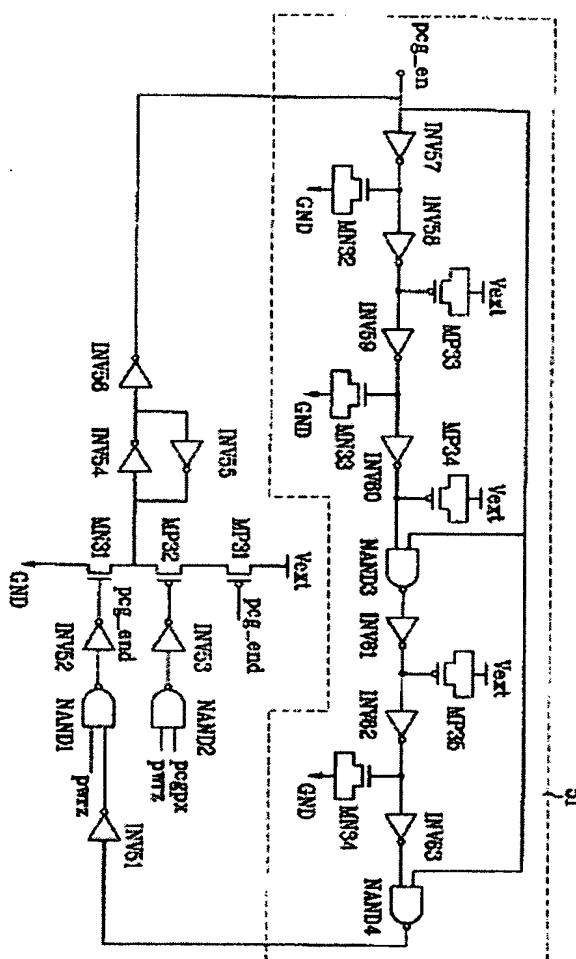
S-23



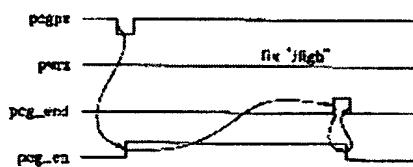
S-24



五八五



588



~~5006~~

